

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01160038 A

(43) Date of publication of application: 22.06.89

(51) Int. Cl.

H01L 21/90

H01L 21/28

H01L 29/78

(21) Application number: 62319861

(71) Applicant: NEC CORP

(22) Date of filing: 16.12.87

(72) Inventor: SUZUI KEISUKE

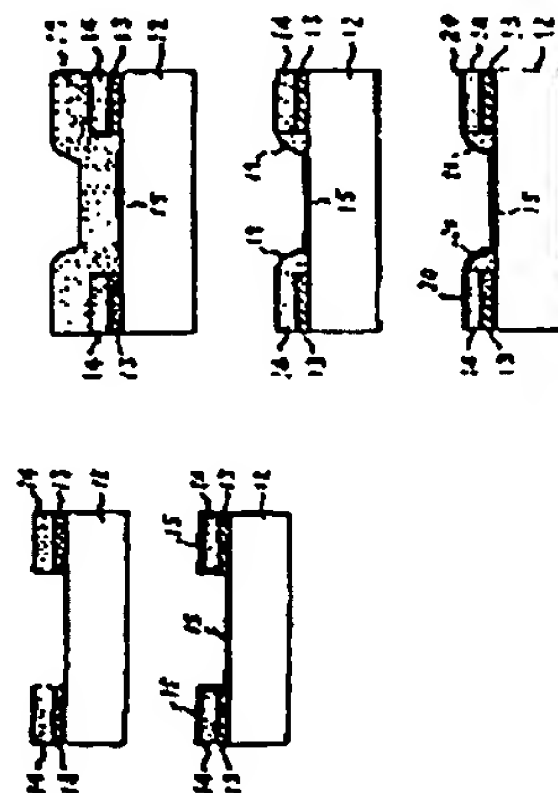
## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57) Abstract:

**PURPOSE:** To eliminate the need for the usage of a <111> substrate having comparatively high crystalline defect density, and to improve yield by omitting an unstable etching process in the manufacturing process of a semiconductor device.

**CONSTITUTION:** A semiconductor substrate 12 is thermally oxidized, polysilicon 14 is formed, an impurity is introduced, and an opening section is shaped selectively through a PB process. An oxide film 15 is formed through thermal oxidation, and a CVD oxide film 16 is grown. Etchback is conducted through anisotropic etching, and a resist 17 is applied onto the whole surface. The resist 17 is etched through anisotropic etching, the impurity is introduced, and etching is performed from the oxide film 16 to the oxide film 15 through wet etching. The resist 17 is removed, and polysilicon 19 is grown on the whole surface. Etchback is executed through anisotropic etching, and an insulating film 20 is shaped onto the polysilicon 19 through thermal oxidation. The oxide film 15 is gotten rid of to expose the semiconductor substrate, and an electrode metal is applied and a contact is formed.

COPYRIGHT: (C)1989,JPO&amp;Japio



④Int. Cl.<sup>4</sup>H 01 L 21/90  
21/28  
29/78

識別記号

3 0 1

庁内整理番号

D-6708-5F  
Z-7638-5F  
P-8422-5F

④公開 平成1年(1989)6月22日

審査請求 未請求 発明の数 1 (全6頁)

④発明の名称 半導体装置の製造方法

④特 願 昭62-319861

④出 願 昭62(1987)12月16日

④発 明 者 鈴 井 啓 介 東京都港区芝5丁目33番1号 日本電気株式会社内  
④出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
④代 理 人 弁理士 内 原 晋

## 明 細 書

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に自己整合技術による微細コンダクト形成に関する。

(従来の技術)

従来、この種のコンダクト形成方法は、第3図(a)〜(d)のようになっていた。すなわち、半導体基板21を酸化して酸化膜22を形成する。その上部にボロンドープされたポリシリコン23を形成し、これを選択的にエッチングした後このポリシリコン23が露出しないように酸化膜24で覆い、酸化膜22上にポリシリコン23と酸化膜24の開口部を選択的に形成する(第3図(c))。ウェットエッチングにより半導体基板21上の酸化膜22をポリシリコン23の下部の一部までも除去するようにサイドエッチングする(第3図(d))。その後、全面に不純物を含まないポリシリコン25を形成し、ボロンドープされたポリシリコン23から不純物を含まないポリシリコン25へボロンを熱拡散する(第3図(e))。ヒドラジンによる選択エッチングによって不純物を含まないポリシリコ

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体基板上に将来電極となる導電膜を形成する工程と、前記半導体基板を酸化する工程と、前記半導体基板上の全面に酸化膜を形成し該酸化膜を異方性エッチングにより前記導電膜の側壁に残るように形成する工程と、前記半導体基板上の全面に酸化膜の除去に耐えられる膜を形成し該膜を異方性エッチングにより前記側壁の酸化膜が除去できる厚さとなるように形成する工程と、前記側壁の酸化膜を除去し、かつ前記側壁の酸化膜の下部酸化膜を除去する工程と、前記酸化膜の除去に耐えられる前記膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

— 1 —

— 2 —

—183—

ン25を除去する。この時、酸化膜22がサイドエッチされた部分にポリシリコン25が残る(第3図(d))。しかる後、基板を熱酸化し、絶縁膜26を形成する(第3図(e))。かかる従来例においては、第3図(d)と(e)の工程においてヒドラジンによるウェットエッチングの際に、半導体基板21のエッチングスピードが不純物を含まないポリシリコン25のエッチングスピードより十分小さくなるように<111>基板を使用している。しかる後酸化膜26をエッチングして半導体基板21を露出し、金属電極を取り付けていた。

(発明が解決しようとする問題点)

上述した従来のコンタクト形成方法は、不純物を含まないポリシリコン25をヒドラジンによるウェットエッチングにより除去する工程において、ヒドラジンが原液のままエッチングを行ったのでは窪点状の残りが生じる。また、アルコールにより希釈してエッチングを行えば、窪点状の残りは生じないが、アルコールの蒸発によりウェットエッチングスピードが変化し、窪点が定まらない。

- 3 -

(実施例)

次に、本発明について図面を参照して説明する。

第1図(a)~(h)は本発明の一実施例の製造工程を示す図である。半導体基板1上に2500Å程度の熱酸化膜2を形成し、その上に3500Å程度のポリシリコン3を形成し、ポリシリコン3へ不純物(例えばボロン)を導入(例えばイオン注入)し、さらに4000Å程度のCVD酸化膜4を形成し例えば1000℃20分でスチーム処理をして焼きしめ、P&B工程をへて選択的に開孔部を形成する(同図(a))。次に基板1を酸化して酸化膜5を形成する(同図(b))。CVD酸化膜6を例えば7000Å程度成長(同図(c))し、異方性エッチングにてエッチングバックして側壁に酸化膜7を残す(同図(d))。全面に例えばレジスト8を塗布する(同図(e))。異方性エッチングにてレジスト8をエッチングする(同図(f))。ウェットエッチングにより酸化膜7から酸化膜5へエッチングを行う(同図(g))。レジスト8を除去する(同図(h))。ポリシリコン10を全面に成長する(同図(i))。異方

- 5 -

また、半導体基板の<111>表面は他の結晶面をもつ半導体基板と比べ結晶の欠陥密度が高く、半導体素子の形成において歩留りの低下を招いている。また、<111>表面は、界面単位が高いため、バイポーラトランジスタとMOSトランジスタの混在を考えた場合、MOSトランジスタの電流制御が困難になるという欠点がある。

(問題点を解決するための手段)

本発明のコンタクト形成方法は、半導体基板上に将来電極になる導電膜を形成する工程と、前記基板を酸化する工程と、前記基板上の全面に酸化膜を形成し該酸化膜を異方性エッチングにより前記導電膜の側壁に残るように形成する工程と、前記基板上の全面に酸化膜の除去に耐えられる膜を形成し該膜を異方性エッチングにより前記側壁の酸化膜が除去できる厚さとなるように形成する工程と、前記側壁の酸化膜を除去し、かつ前記側壁の酸化膜の下部酸化膜を除去する工程と、前記酸化膜の除去に耐えられる膜を除去する工程を有する。

- 4 -

性エッチングにてエッチングバックする(同図(j))。熱酸化して絶縁膜11をポリシリコン10上に作る(同図(k))。その後、酸化膜5を除去して半導体基板を露出し、電極金属を被着してコンタクトを形成する。

第2図(a)~(h)は本発明の他の実施例の製造工程を示す図である。半導体基板12を2500Å程度に熱酸化し、3500Å程度のポリシリコン14を形成し、不純物の導入を行い、P&B工程をへて選択的に開孔部を形成する(同図(a))。熱酸化して酸化膜15を形成する(同図(b))。CVD酸化膜16を例えば7000Å程度成長する(同図(c))。異方性エッチングにてエッチバックする(同図(d))。全面に例えばレジスト17を塗布する(同図(e))。異方性エッチングにてレジスト17をエッチングする(同図(f))。不純物の導入を行い、ウェットエッチングにより酸化膜16から酸化膜15へエッチングを行う(同図(g))。レジスト17を除去する(同図(h))。ポリシリコン19を全面に成長する(同図(i))。異方性エッチングにてエッチバ

- 6 -

ータする(同図11)。熱酸化して絶縁膜20をポリシリコン19上に作る(同図12)。この実施例ではポリシリコン14の上に第1図の実施例のように絶縁膜4がないのでポリシリコン14への不純物の導入が第2図(a)や(b)の工程において可能であるという自由度がある。

#### 〔発明の効果〕

以上説明したように本発明は、ヒドラジンによる選択エッチングを行なう必要がないので、半導体装置を製造する過程において不安定なエッチング工程を省略でき、比較的結晶欠陥密度の高い<111>基板を使用する必要がなく歩留りを向上させる効果がある。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例による製造工程を示す断面図、第2図(a)~(d)は本発明の他の実施例による製造工程を示す断面図、第3図(a)~(c)は従来の製造工程を示す断面図である。

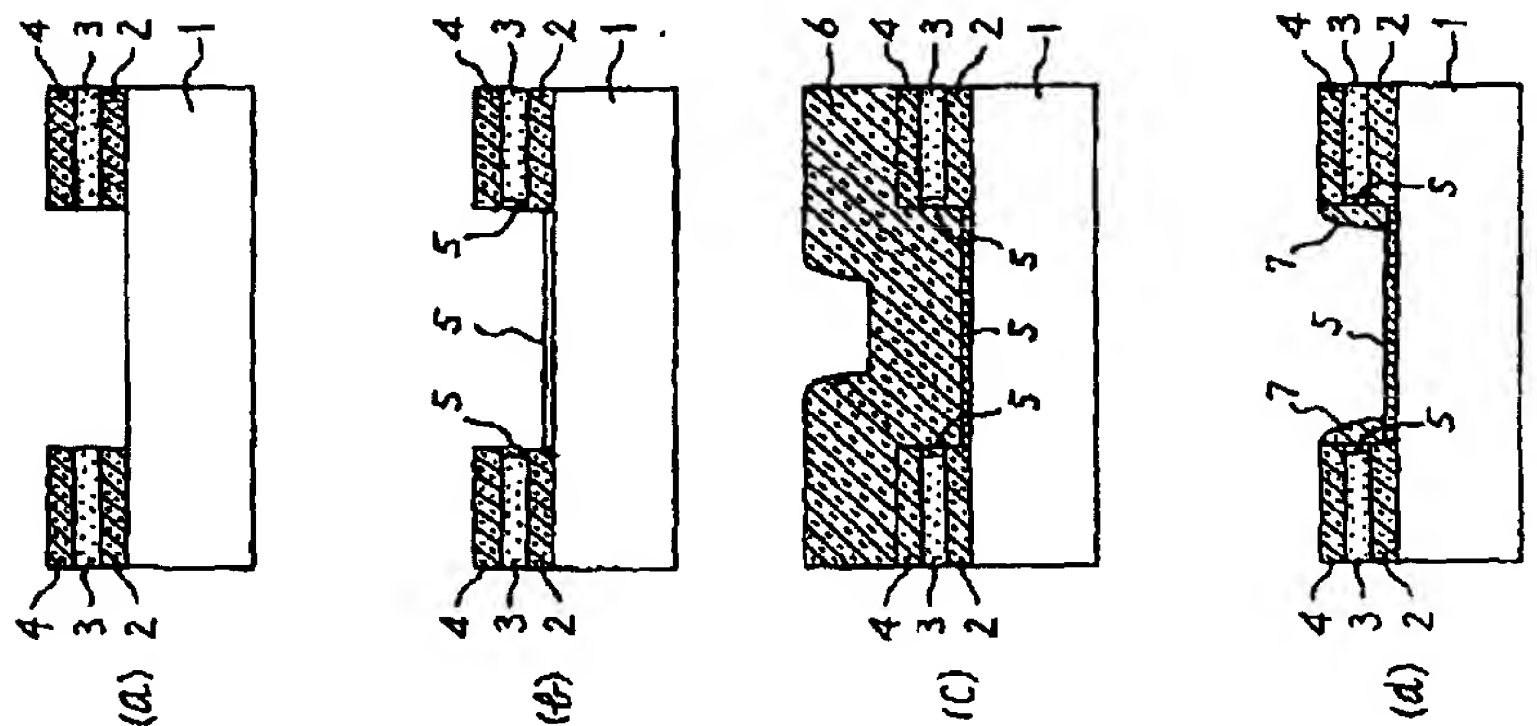
1…半導体基板、2…酸化膜、3…ポリシリコン

ン、4…酸化膜、5…酸化膜、6…CVD酸化膜、7…無膜CVD酸化膜、8…レジスト、9…コンタクト開孔部、10…ポリシリコン、11…酸化膜、12…半導体基板、13…酸化膜、14…ポリシリコン、15…酸化膜、16…CVD酸化膜、17…レジスト、18…コンタクト開孔部、19…ポリシリコン、20…酸化膜、21…基板、22…酸化膜、23…ポリシリコン、24…酸化膜、25…ポリシリコン、26…酸化膜

代理人 弁理士 内 原 資

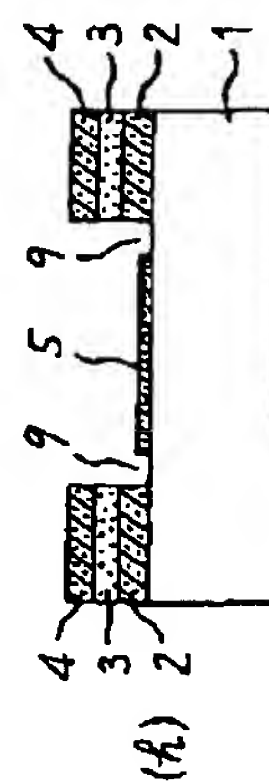
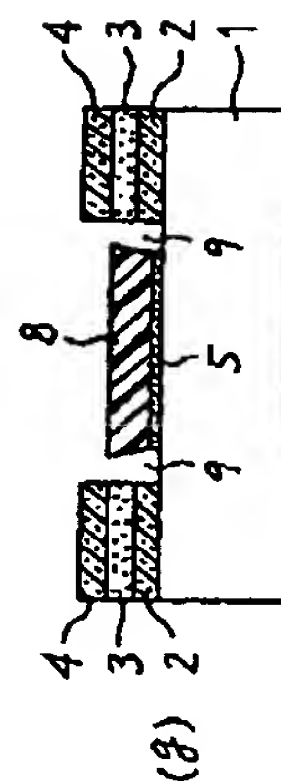
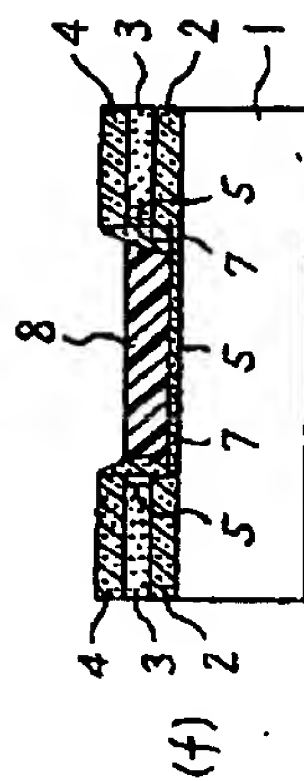
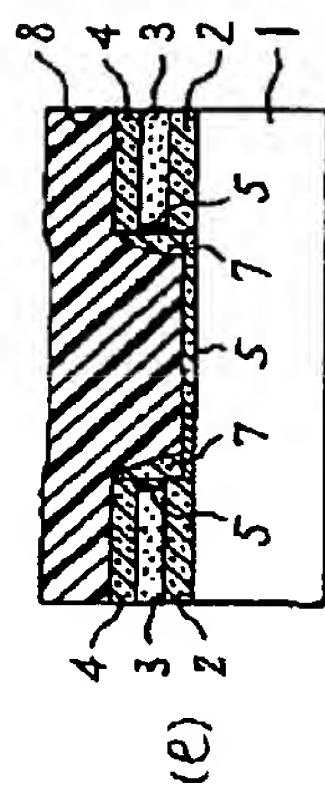
— 7 —

— 8 —



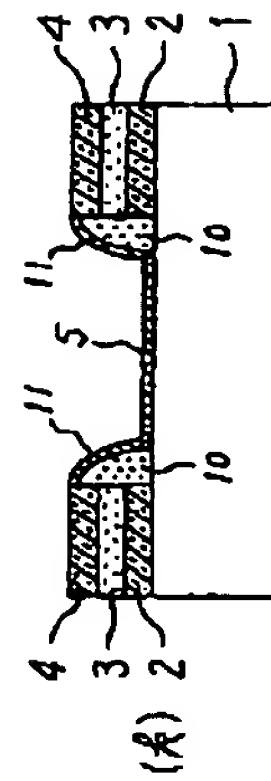
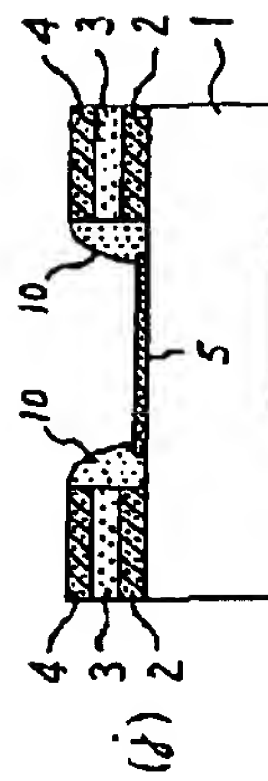
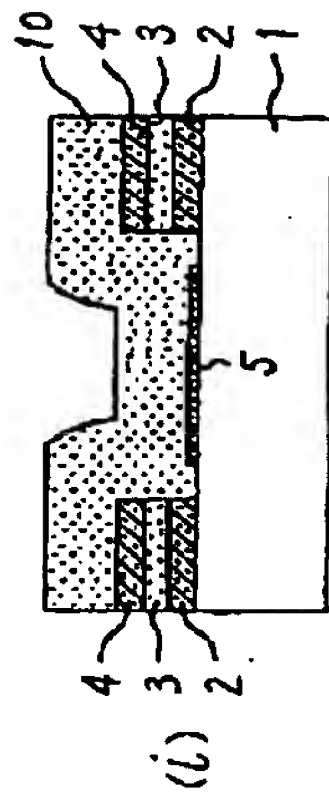
1. 半導体基板  
2. 酸化膜  
3. ポリシリコン  
4. 酸化膜  
5. 酸化膜  
6. CVD酸化膜  
7. 無膜CVD酸化膜

図1



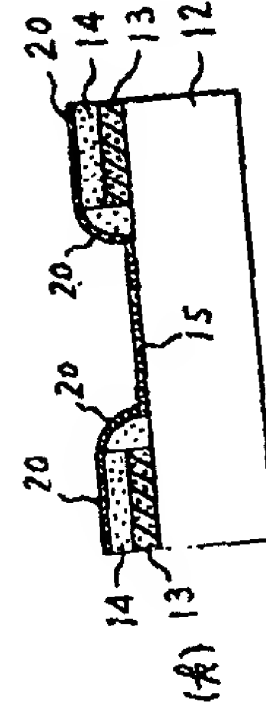
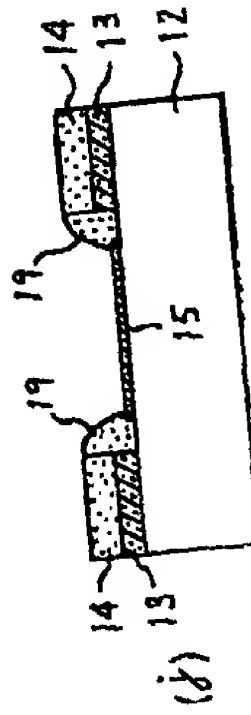
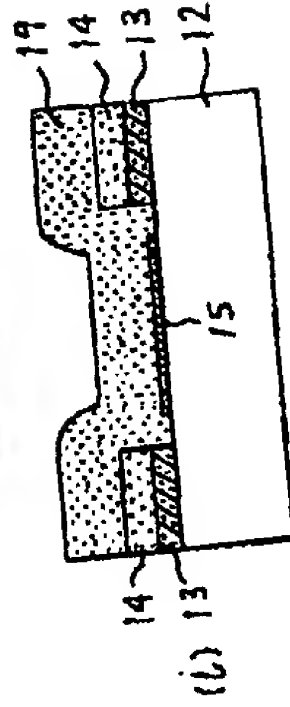
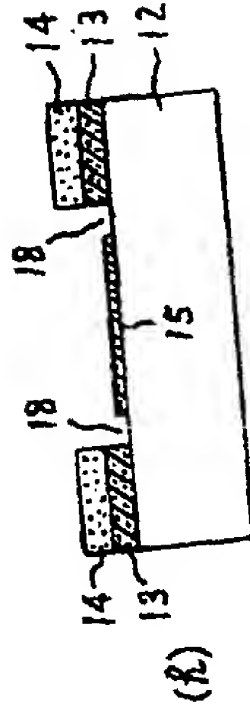
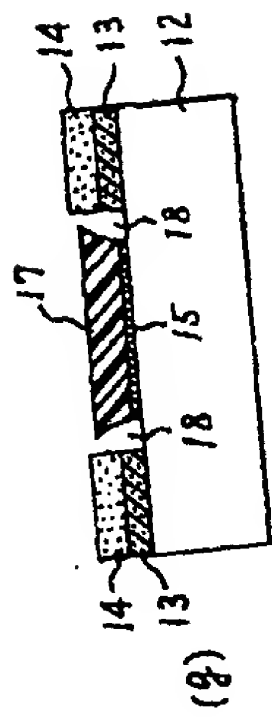
- 1. 半導体基板
- 2. 酸化膜
- 3. ポリシリコン
- 4. 酸化膜
- 5. 酸化膜
- 7. 側壁CVD酸化膜
- 8. レジスト
- 9. コンタクト開孔部

第1図



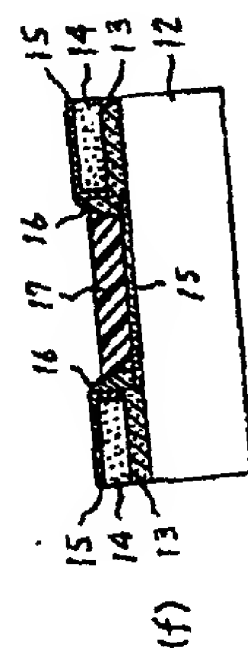
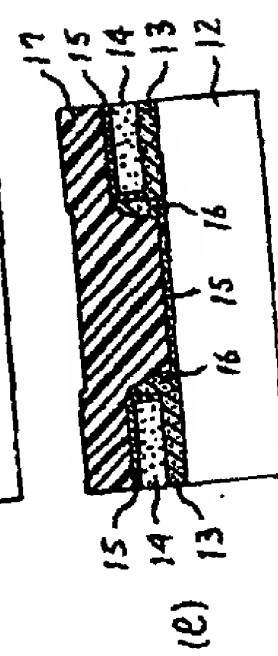
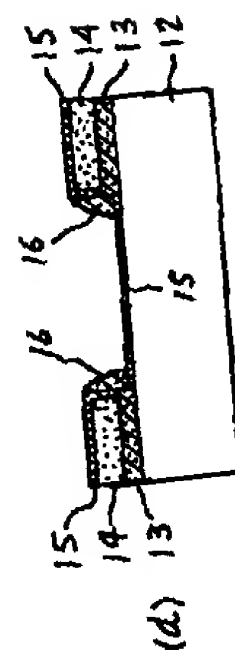
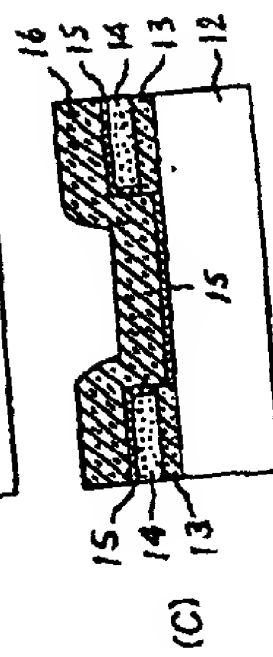
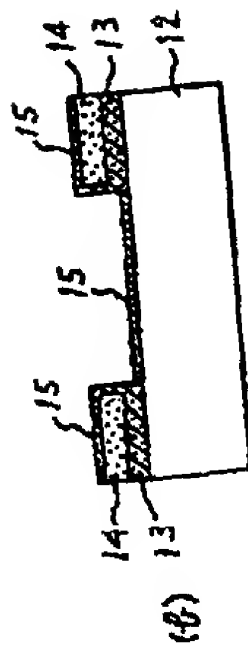
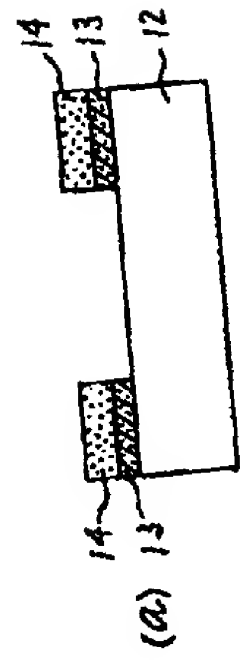
- 1. 半導体基板
- 2. 酸化膜
- 3. ポリシリコン
- 4. 酸化膜
- 5. 酸化膜
- 10. ポリシリコン
- 11. 酸化膜

第1図



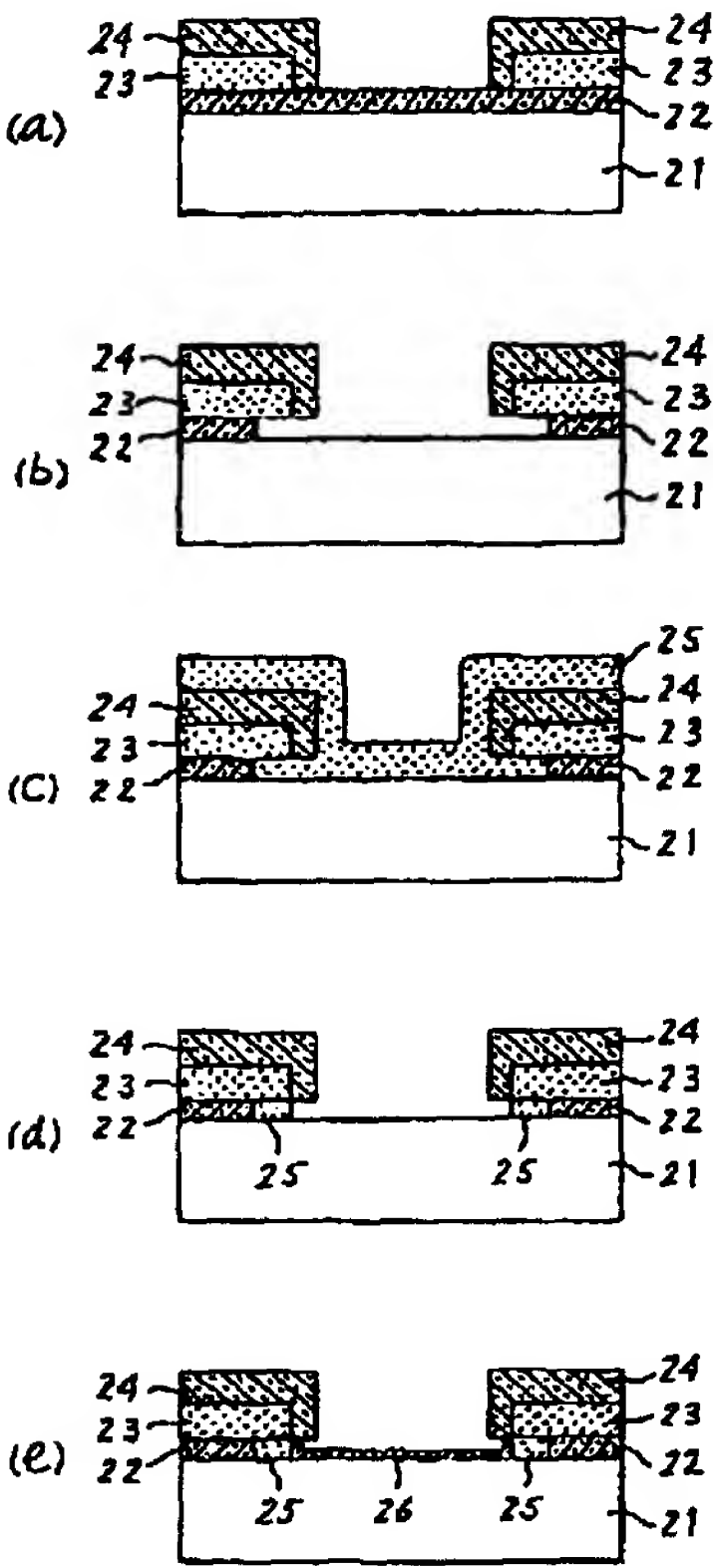
- 12. 半導体基板
- 13. 酸化膜
- 14. ポリシリコン
- 15. 酸化膜
- 17. レジスト
- 18. コンタクト
- 19. 酸化膜
- 20. ポリシリコン

第2図



- 12. 半導体基板
- 13. 酸化膜
- 14. ポリシリコン
- 15. 酸化膜
- 16. CVD酸化膜
- 17. レジスト

第2図



- 21. 半導体基板
- 22. 酸化膜
- 23. ポリシリコン
- 24. 窒化膜
- 25. ポリシリコン
- 26. 酸化膜

第3図